

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 9月17日

出 願 番 号

Application Number:

特願2002-269754

[ ST.10/C ]:

[ JP2002-269754 ]

出 願 人

Applicant(s):

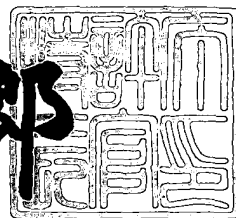
株式会社日立製作所

U.S. Appln. Filed 7-7-03  
Inventor: T. Shimizu et al  
mattingly stanger & malor  
Docket H-1098

2003年 4月25日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3030699

【書類名】 特許願

【整理番号】 H02004671

【提出日】 平成14年 9月17日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 9/30

【発明者】

    【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

    【氏名】 清水 健央

【発明者】

    【住所又は居所】 東京都国分寺市東恋ヶ窪一丁目 2 8 0 番地 株式会社日立製作所 中央研究所内

    【氏名】 荒川 文男

【特許出願人】

    【識別番号】 000005108

    【氏名又は名称】 株式会社日立製作所

【代理人】

    【識別番号】 100089071

    【弁理士】

    【氏名又は名称】 玉村 静世

    【電話番号】 03-5217-3960

【手数料の表示】

    【予納台帳番号】 011040

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 データ処理装置

【特許請求の範囲】

【請求項 1】 命令キャッシュメモリを有し、前記命令キャッシュメモリから読み出した命令をデコードして実行可能なデータ処理装置であって、

前記命令は予備フィールドを有し、

前記命令キャッシュメモリは命令の予備フィールドに応ずる領域に命令のプリデコードに基づいて生成された情報を保持することを特徴とするデータ処理装置

。

【請求項 2】 前記命令キャッシュメモリから読み出した命令を実行するとき、当該命令の前記予備フィールドに応ずる領域の情報に基づいて命令実行手順を制御可能な制御手段を有することを特徴とする請求項 1 記載のデータ処理装置

。

【請求項 3】 前記命令キャッシュメモリに命令をストアするとき前記プリデコードを行なうプリデコーダを有することを特徴とする請求項 2 記載のデータ処理装置。

【請求項 4】 前記プリデコーダは命令の第 1 フィールドに含まれるオペレーションコードをデコードすることを特徴とする請求項 3 記載のデータ処理装置

。

【請求項 5】 プリデコーダによるデコード結果から得られる命令種別の情報を命令の予備フィールドに応ずる前記領域に保持することを特徴とする請求項 4 記載のデータ処理装置。

【請求項 6】 前記命令の種別は分岐命令か否かを示す情報であることを特徴とする請求項 5 記載のデータ処理装置。

【請求項 7】 前記制御手段は、命令キャッシュメモリから読み出した命令の前記所定のフィールドに応ずる領域の情報によって当該命令が分岐命令であることを判別したとき、分岐先命令をフェッチする処理を指示することが可能なことを特徴とする請求項 6 記載のデータ処理装置。

【請求項 8】 前記命令キャッシュメモリから読み出された命令を一時的に

保持するキューイングバッファを有し、

一つの分岐動作を分割して処理可能な分岐前処理命令と分岐処理命令とを命令セットに有し、

前記分岐前処理命令は分岐先アドレス計算と分岐先命令のフェッチを指示し、分岐処理命令は分岐条件判定と分岐処理を指示し、

前記分岐前処理命令の実行によって得られた分岐先アドレスと分岐先命令を一時的に保持するターゲットバッファを有し、

前記制御手段は、前記キューイングバッファに保持されている命令の前記所定のフィールドに応ずる領域の情報によって当該命令が前記分岐処理命令であることを判別したときは、前記ターゲットバッファから分岐先命令とそれに続く分岐先アドレスを読み出す処理を指示することが可能なことを特徴とする請求項 7 記載のデータ処理装置。

【請求項 9】 前記命令キャッシュメモリに命令をストアするとき、当該命令の第 2 フィールドに含まれる情報を用いた演算を行なう演算器を有することを特徴とする請求項 3 記載のデータ処理装置。

【請求項 10】 前記命令キャッシュメモリは、前記プリデコーダのデコード結果に基づいて、前記演算器による演算結果を命令の第 2 フィールドに応ずる命令キャッシュメモリの領域に保持することを特徴とする請求項 9 記載のデータ処理装置。

【請求項 11】  $n$  ビットのディスプレースメント付きプログラムカウンタ相対分岐命令に対し、前記演算器は前記第 2 フィールドのディスプレースメントにプログラムカウンタの  $n$  ビットのアドレス下位情報を加算し、 $n$  ビットの加算結果を当該ディスプレースメント付きプログラムカウンタ相対分岐命令の第 2 フィールドに応ずる命令キャッシュメモリの領域に保持し、加算によるキャリ情報を当該ディスプレースメント付きプログラムカウンタ相対分岐命令の予備フィールドに応ずる前記領域に保持することを特徴とする請求項 9 記載のデータ処理装置。

【請求項 12】 命令キャッシュメモリを有し、前記命令キャッシュメモリから読み出した命令をデコードして実行可能なデータ処理装置であって、

前記命令キャッシュメモリに命令をストアするときプリデコードを行なうプリデコーダを有し、

前記命令キャッシュメモリは命令のプリデコードに基づいて生成された情報を命令と一対一対応で保持する領域を有することを特徴とするデータ処理装置。

【請求項 1 3】 前記命令キャッシュメモリから読み出した命令を実行するとき、当該命令の前記予備フィールドに应ずる領域の情報に基づいて命令実行手順を制御可能な制御手段を有することを特徴とする請求項 1 2 記載のデータ処理装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、命令を実行するデータ処理装置に関し、例えば命令セットの将来的な拡張等のために命令に予備フィールドが残されている命令セットを持つデータプロセッサに適用して有効な技術に関する。

【 0 0 0 2 】

【従来の技術】

特許文献 1 には命令の予備フィールド中の予約ビットを用いてアドレスの拡張を行なう技術が記載される。また特許文献 2, 3 にはオペレーションコードの拡張部分を設けて命令フォーマットを拡張する技術が記載される。

【 0 0 0 3 】

【特許文献 1】

特開 2 0 0 1 - 1 4 2 6 9 4 号公報

【特許文献 2】

特開 2 0 0 0 - 0 2 9 6 8 4 号公報

【特許文献 3】

特開 2 0 0 0 - 0 2 9 6 8 5 号公報

【 0 0 0 4 】

【発明が解決しようとする課題】

近年の高速プロセッサにおいては、動作周波数向上のために、一般的にパイプ

ラインステージを細かく分割して、1ステージあたりの論理段数を減少させ、周波数を向上させている。パーソナルコンピュータ向けマイクロプロセッサでは、1ギガヘルツ（GHz）を超える周波数を実現するために、十数段にもおよぶパイプラインステージをもつマイクロアーキテクチャ（スーパーパイプライン方式）を規定している例もある。しかしながら、パイプライン段数が増加すると、分岐時に分岐予測ミスが発生する場合には、非常に大きなペナルティを伴うことになる。

## 【0005】

本発明者はそのようなペナルティを低減することについて検討した。そのようなペナルティの低減には分岐命令などの命令の解読及び実行を高速化できるようにすればよい。そのために、新たな命令を追加したり、命令セットを刷新して対処することも可能であるが、問題がある。ハードウェアが進化しても既存のソフトウェアをそのまま使用したいというニーズが強く、上位互換性が要求されるからである。

## 【0006】

しかしながら、特許文献1の技術は即値で与えられるアドレスの拡張に限定されるから、それ以外の機能拡張によって命令の解読及び実行を高速化することはできない。また、特許文献1に記載の技術では、ハードウェア的に予備フィールドへの情報の保存方法が何ら限定されていないため、コンパイラやアセンブラを変更して、ソフトウェア的に予備フィールドを拡張した命令セットを確立することが必要になる。この点は特許文献2，3についても同じである。

## 【0007】

本発明の目的は、ソフトウェアの互換性に関して不都合を生ずることなく、命令処理時間を短縮して高速動作可能なデータ処理装置を提供することにある。

## 【0008】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

## 【0009】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【 0 0 1 0 】

〔 1 〕 命令が予備フィールドを持つ場合に、命令をメモリから命令キャッシュメモリにストアする際、その命令の命令コードをプリデコードして生成した情報を命令キャッシュメモリの予備フィールド対応領域（命令の予備フィールドに応ずる領域）に格納する。その命令が命令キャッシュメモリからフェッチされるとき、命令キャッシュメモリの予備フィールド対応領域に保存されていた情報を利用する。これにより、命令キャッシュメモリからフェッチした命令のデコード完了を待つことなく、プリデコードされた情報に基づいて処理を進めることが可能になる。命令の解読・実行を高速化することができる。

【 0 0 1 1 】

本発明の一つの具体的な態様として、前記予備フィールド対応領域に保存されていた情報を利用する手段は、例えば、前記命令キャッシュメモリから読み出した命令を実行するとき、当該命令の前記予備フィールドに応ずる領域の情報に基づいて命令実行手順を制御可能な制御手段である。

【 0 0 1 2 】

本発明の一つの具体的な態様として、前記命令キャッシュメモリに命令をストアするとき前記プリデコードを行なうプリデコーダを有する。

【 0 0 1 3 】

前記プリデコーダは命令の第 1 フィールドに含まれるオペレーションコードをデコードする。

【 0 0 1 4 】

オペレーションコードのデコード結果として例えば予備フィールド対応領域に命令種別の情報を保持する。前記命令の種別は例えば分岐命令か否かを示す情報である。

【 0 0 1 5 】

このとき、前記制御手段は、命令キャッシュメモリから読み出した命令の前記所定のフィールドに応ずる領域の情報によって当該命令が分岐命令であることを

判別したとき、例えば分岐先命令をフェッチする処理を指示する。

【 0 0 1 6 】

また、そのとき制御手段は分割分岐方式に対処する。即ち、分割分岐方式では、前記命令キャッシュメモリから読み出された命令を一時的に保持するキューイングバッファを有し、一つの分岐動作を分割して処理可能な分岐前処理命令と分岐処理命令とを命令セットに有し、前記分岐前処理命令は分岐先アドレス計算と分岐先命令のフェッチを指示し、分岐処理命令は分岐条件判定と分岐処理を指示し、前記分岐前処理命令の実行によって得られた分岐先アドレスと分岐先命令を一時的に保持するターゲットバッファを有する。このとき、前記制御手段は、前記キューイングバッファに保持されている命令の前記所定のフィールドに応ずる領域の情報によって当該命令が前記分岐処理命令であることを判別したときは、前記ターゲットバッファから分岐先命令とそれに続く分岐先アドレスを読み出す処理を指示する。

【 0 0 1 7 】

本発明の別の具体的な態様として、前記命令キャッシュメモリに命令をストアするとき、当該命令の第2フィールドに含まれる情報を用いた演算を行なう演算器を有する。このとき、前記命令キャッシュメモリは、前記プリデコーダのデコード結果に基づいて、前記演算器による演算結果を命令の第2フィールドに応ずる命令キャッシュメモリの領域に保持する。

【 0 0 1 8 】

例えば、 $n$ ビットのディスプレースメント付きプログラムカウンタ相対分岐命令に対し、前記演算器は前記第2フィールドのディスプレースメントにプログラムカウンタの $n$ ビットのアドレス下位情報を加算し、 $n$ ビットの加算結果を当該ディスプレースメント付きプログラムカウンタ相対分岐命令の第2フィールドに応ずるキャッシュメモリの領域に保持し、加算によるキャリ情報を当該ディスプレースメント付きプログラムカウンタ相対分岐命令の予備フィールドに応ずる前記領域に保持する。

【 0 0 1 9 】

〔 2 〕 命令が予備フィールドを持たない場合にも、前記命令キャッシュメモリ



は命令のプリデコードに基づいて生成された情報を命令と一対一対応で保持する領域を有して対処することができる。この場合も、命令キャッシュメモリからフェッチした命令のデコード完了を待つことなく、プリデコードされた情報に基づいて処理を進めることが可能になる。命令の解説・実行を高速化することができる。

## 【 0 0 2 0 】

### 【発明の実施の形態】

#### 《データプロセッサ》

図 1 には本発明の一例に係るデータプロセッサが示される。データプロセッサ 1 は、外部メモリや周辺回路とのデータ入出力を行うバスインターフェースユニット (BIU) 102、命令キャッシュメモリ (ICU) 101、命令用アドレス変換バッファ (ITLB) 113、データキャッシュメモリ (DCU) 112、データ用アドレス変換バッファ (DTLB) 115、命令のフェッチ・デコード・実行スケジュール等の処理を行う命令フローユニット (IFU) 103、実行ユニット (EU) 110、浮動小数点演算ユニット (FPU) 114、ロード・ストアユニット (LSU) 111、及びプリデコード・演算器 (PD) 100 を有する。データプロセッサ 1 はパイプライン方式で命令を実行し、例えば命令フェッチ、デコード、実行、及びライトバックなどのパイプラインステージを単位として処理を進める。そのパイプラインステージの実行スケジューリングは前記命令フローユニット 103 が制御する。

## 【 0 0 2 1 】

前記命令キャッシュメモリ 101、命令用アドレス変換バッファ 113、データキャッシュメモリ 112、及びデータ用アドレス変換バッファ 115 は、特に制限されないが、それぞれセット・アソシアティブ形式の連装メモリによって構成される。前記命令キャッシュメモリ 101 及びデータキャッシュメモリ 112 は、特に制限されないが、論理キャッシュとされる。キャッシュエントリのリプレイスに必要な物理アドレスへの変換は命令用アドレス変換バッファ 113 及びデータ用アドレス変換バッファ 115 が保有する論理アドレスと物理アドレスの変換対を利用して行なわれる。

## 【 0 0 2 2 】

前記実行ユニット 1 1 0 は、汎用レジスタ、プログラムカウンタ（PC）、及び算術論理演算器（ALU）などを持ち、命令フローユニットで生成される制御信号などに基づいて各種演算を行う。

## 【 0 0 2 3 】

バスインターフェースユニット 1 0 2 は外部バス 1 0 5 に接続される。外部バス 1 0 5 には代表的に示された外部メモリ 1 0 6 が接続される。ここでは前記外部メモリ 1 0 6 はメインメモリとされ、プログラムメモリ及びワーク領域等として利用される。特に図示はしないが、データプロセッサ 1 は、バスインターフェースユニット 1 0 2 に接続された周辺回路を有する。

## 【 0 0 2 4 】

前記プリデコード・演算器 1 0 0 は、バスインタフェース回路 1 0 2 と命令キャッシュメモリ 1 0 1 との間に配置され、命令キャッシュメモリ 1 0 1 に外部メモリ 1 0 6 からの命令がロードされるとき、バスインタフェース回路 1 0 2 から供給される命令をプリデコードし、また所定の演算例えば分岐先アドレス演算等を行なう。命令キャッシュメモリ 1 0 1 は、その命令のプリデコードに基づいて生成された情報、例えば前記プリデコードによる命令種別やアドレス演算結果を、当該命令の所定フィールド、例えば予備フィールドやアドレス演算用のディスプレイメントフィールドに応ずる領域に保持する。

## 【 0 0 2 5 】

命令フローユニット 1 0 3 は、前記命令キャッシュメモリ 1 0 1 から読み出した命令を実行するとき、当該命令の前記予備フィールドやアドレス演算用のディスプレイメントフィールドに応ずる領域の情報に基づいて命令実行手順を制御することが可能とされる。これにより、命令フローユニット 1 0 3 は、命令キャッシュメモリ 1 0 1 からフェッチした命令のデコード完了を待つことなく、前記プリデコードされた情報に基づいて処理を進めることが可能になり、命令の解読・実行を高速化することができる。前記プリデコードに基づいて生成され命令キャッシュメモリ 1 0 1 に格納される情報は、デコードステージ以降において有用となるため、命令判定の高速化や、実行時の計算量を減らす必要がある機能に結

びつくものに適用すればよい。

#### 【 0 0 2 6 】

##### 《機能拡張の第 1 形態》

図 2 には上記命令のプリデコードによる機能拡張の第 1 形態が例示される。ここに示される命令は例えば PC 相対分岐命令であり、代表的に示されたディスプレイスメントフィールドと予備フィールドを有し、ディスプレイスメントに PC の下位側情報を加算し、その加算結果をディスプレイスメントフィールドに、キャリを予備フィールドに対応させて、命令キャッシュメモリ上の当該命令の記憶領域に格納する。デコード段においては、最初から分岐アドレスの演算を行わずに済む。

#### 【 0 0 2 7 】

##### 《機能拡張の第 2 形態》

図 3 には上記命令のプリデコードによる機能拡張の第 2 形態が例示される。ここに示される命令は例えば分岐命令であり、代表的に示されたオペレーションコードフィールドと予備フィールドを有し、オペレーションコードをプリデコードし、その命令種別に応ずる情報、例えば分岐命令か否かを示す情報を、予備フィールドに対応させて、命令キャッシュメモリ上の当該命令の記憶領域に格納する。デコード段においては、予備フィールド対応領域の情報を判定し、分岐命令のときは分岐先アドレスからの命令フェッチを指示し、分岐命令でなければ命令デコーダによるオペレーションコードなどのデコードを指示する。オペレーションコードのデコード完了を待たずに分岐先命令フェッチの指示を開始することができる。

#### 【 0 0 2 8 】

##### 《プリデコードに基づく機能拡張情報の生成》

以下、プリデコードによる機能拡張の第 1 及び第 2 形態の詳細について説明する。ここでは、図 4、図 5 のようなフィールドをもつ分岐命令を一例として説明する。同図に示される命令は 3 2 ビット長の R I S C プロセッサ用命令セットであり、図 4 ではオペレーションコード ( o p ) フィールド 1 2 1 を 6 ビット、サブオペレーションコード ( e x t ) フィールド 1 2 3 が 4 ビット、レジスタ番号

(R<sub>m</sub>) フィールド 1 2 2 が 6 ビット、レジスタ番号 (R<sub>n</sub>) フィールド 1 2 4 が 6 ビット、分岐予測ビット (1) 1 2 5 が 1 ビット、分岐バッファ (c) 1 2 6 が 3 ビット、予備フィールド (r s v) 1 2 7 を 4 ビット有する分岐命令である。図 5 の命令はディスプレースメント付き P C 相対分岐命令であり、ビット 1 0 ～ビット 2 5 の 1 6 ビットはディスプレースメント (s) フィールド 1 2 8 とされる。

## 【 0 0 2 9 】

図 6 にはプリデコード・演算器 1 0 0 の一例が示される。プリデコード・演算器 1 0 0 はプリデコーダ 1 3 0 と算術論理演算器 (A L U) 1 3 1 から成る。プリデコーダ 1 3 0 はオペレーションコード (o p) を解読し、その結果を予備フィールド (r s v [1]) に対応させて命令キャッシュメモリ 1 0 1 に供給する。算術演算器 1 3 1 は P C の下位側 1 6 ビットとディスプレースメントフィールドの値を加算し、加算結果をディスプレースメントフィールドに対応させて命令キャッシュメモリ 1 0 1 に供給し、キャリを予備フィールド (r s v [0]) に対応させて命令キャッシュメモリ 1 0 1 に供給する。この例に従えば、命令キャッシュメモリ 1 0 1 は、プリデコーダ 1 3 0 によるデコード結果が P C 相対分岐命令等の所定の命令である場合に算術論理演算器 1 3 1 から出力される加算結果によるディスプレースメントの書き換えを行なう。

## 【 0 0 3 0 】

前記機能拡張の第 2 形態に応ずるプリデコード・演算器 1 0 0 の動作を説明する。外部メモリ 1 0 6 から読み込まれた分岐命令は、B I U 1 0 2 からプリデコード・演算器 1 0 0 へ供給される。プリデコード・演算器 1 0 0 内では、オペレーションコード o p 1 2 1 をプリデコーダ 1 3 0 でデコードして、この命令が分岐命令か、そうでないかのみ判定する。その判定の結果、分岐命令だと判別できたら、プリデコーダ 1 3 0 の出力 r s v [1] に “1” を立てて、この命令が分岐命令だと区別できるようにする。そして、前記出力 r s v [1] = “1” が、命令キャッシュ 1 0 1 内で、当該命令の予備フィールド 1 2 7 に対応するフィールドに格納される。ここでは一例として、分岐命令のみを選択したが、それに限定されることはなく、設計者の任意の命令を選択できる。

## 【 0 0 3 1 】

前記機能拡張の第 1 形態に応ずるプリデコード・演算器 1 0 0 の動作を説明する。図 5 に例示するディスプレイスメント付き P C 相対分岐命令の場合、前記 A L U 1 3 1 は前記フィールドのディスプレイスメント  $s[25:10]$  にプログラムカウンタの  $n$  ビットのアドレス下位情報 ( $P C[16:2]$ ) を加算し、 $n$  ビットの加算結果 ( $s'[24:10]$ ) を当該ディスプレイスメント付きプログラムカウンタ相対分岐命令のフィールド 1 2 8 に応ずる命令キャッシュメモリの領域に保持し、加算によるキャリ情報を当該ディスプレイスメント付きプログラムカウンタ相対分岐命令の予備フィールド ( $r s v[0]$ ) に応ずる前記領域に保持する。尚、ここでの P C 相対分岐は命令キャッシュメモリへのプリフェッチ時における P C の値を基準として考えられている分岐命令である。そして、そのプリフェッチはバスが空いている任意のタイミングで行なわれるものではなく、プログラムで指定されたタイミングで行なわれるようになっている。

## 【 0 0 3 2 】

図 4 及び図 5 の例では命令コードの予備フィールド  $r s v$  は 4 ビットあるため、分岐命令のみの選別や、分岐先アドレス計算後の桁上げ信号の保存情報を同時に載せるなど、複数の情報を予備フィールド  $r s v 1 2 7$  に対応するキャッシュ領域に保存しておくことが可能である。

## 【 0 0 3 3 】

## 《第 2 形態に係る機能拡張情報の利用形態》

図 1 に従えば前記命令フローユニット 1 0 3 は、命令フェッチと分岐を制御するフェッチ・ブランチユニット (F B U) 1 0 4 と命令デコードとパイプライン制御を行なうデコード・パイプラインコントローラ (D P C) 1 0 7 から成る。命令フェッチ動作は、命令フローユニット 1 0 3 内に存在するフェッチブランチユニット 1 0 4 から命令キャッシュ 1 0 1 へフェッチ要求 F R E Q (図 7 参照) を出すことによって、開始される。

## 【 0 0 3 4 】

図 7 にはフェッチ・ブランチユニット 1 0 4 の詳細な一例が示される。フェッチ・ブランチユニット 1 0 4 はキューイングバッファとしての命令キュー (I Q

） 1 4 0、早期命令判別回路（ED） 1 4 1、及びターゲットバッファ 1 4 2 から構成される。命令キュー 1 4 0 は命令フェッチの要求に応答して命令キャッシュメモリ 1 0 1 から読み出された命令を一時的に保持する。命令キュー 1 4 0 に保持された命令はデコード・パイプラインコントローラ 1 0 7 に供給されてデコードされる。デコードの順番、即ち命令キュー 1 4 0 からの読み出し順はデコード・パイプラインコントローラ 1 0 7 によるパイプライン制御に従って制御される。

#### 【 0 0 3 5 】

早期命令判別回路 1 4 1 は命令キュー 1 4 0 に保持された命令の前記予備フィールドの内容を判定し、デコード・パイプラインコントローラ 1 0 7 による命令デコード前に、必要な処理を先に指示する。即ち、命令キャッシュメモリからフェッチした命令の実行処理において、前記第 2 形態に係る機能拡張に応ずる処理を実現する。例えば分岐命令であることを判定したときは分岐先命令のフェッチを命令キャッシュメモリ 1 0 1 に要求する。また、早期命令判別回路 1 4 1 は分割分岐方式に対処するようになっている。即ち、分割分岐方式では、一つの分岐動作を分岐前処理命令と分岐処理命令とに分割して処理可能とする。前記分岐前処理命令は分岐先アドレス計算と分岐先命令のフェッチを指示し、分岐処理命令は分岐条件判定と分岐処理を指示する。前記分岐前処理命令の実行によって得られた分岐先アドレスと分岐先命令はターゲットバッファ（TB） 1 4 2 が一時的に保持する。このとき、前記早期命令判定回路 1 4 1 は、前記命令キュー 1 4 0 に保持されている命令の前記予備フィールドの情報によって当該命令が前記分岐処理命令であることを判別したときは、前記ターゲットバッファ 1 4 2 から分岐先命令とそれに続く分岐先アドレスを読み出す処理を指示する。換言すれば、前記ターゲットバッファ 1 4 2 に予め格納されている分岐先命令をデコード・パイプラインコントローラ 1 0 7 に供給すると共に、分岐先でその次に実行すべき命令のアドレス TADR をターゲットバッファ 1 4 2 から命令キャッシュメモリ 1 0 1 に与えて、分岐処理を可能にする。

#### 【 0 0 3 6 】

図 8 には命令キューの詳細な一例が示される。命令キュー 1 4 0 は例えば 4 個

の記憶段 1 4 4 を有し、4 個の記憶段 1 4 4 の中からセクタ 1 4 5 で選択された記憶段の命令が後段の命令フローユニット 1 0 3 に供給される。命令フローユニット 1 0 3 には入力ラッチ 1 4 6 と命令デコーダ 1 4 7 が代表的に示される。前記記憶段 1 4 4 の共通の入力段には早期命令判別回路 1 4 1 のための記憶段 1 5 0、1 5 1 が形成される。記憶段 1 5 0 は入力された 3 2 ビットの命令の全体を保持する 3 2 ビットのフリップフロップで構成される。記憶段 1 5 1 は入力された命令のうち前記予備フィールドに対応する 1 ビットの情報  $rsv[1]$  を保持するフリップフロップで構成される。記憶段 1 5 0 の各ビットはゲート 1 5 2 を介して早期命令判定回路 1 4 1 に選択的に供給可能にされる。前記ゲート 1 5 2 は記憶段 1 5 0 の各出力ビットに 2 入力アンドゲートを有し、それぞれの 2 入力アンドゲートの一方の入力には記憶段 1 5 0 の対応する出力が供給され、それぞれの 2 入力アンドゲートの他方の入力には記憶段 1 5 1 の出力が共通に供給される。ここでは、命令が分岐処理命令のとき、前記プリデコード・演算器 1 0 0 による処理にて予備フィールドの情報  $rsv[1]$  は論理値 “1” にされる。したがって、その分岐処理命令は、ゲート 1 5 2 を通して早期命令判別回路 1 4 1 へ送られて処理され、デコードステージで命令デコーダ 1 4 7 によりその命令がデコードされるのを待つことなく、前述のように優先的に処理される。

#### 【 0 0 3 7 】

図 9 には早期命令判別回路 1 4 1 が分割分岐方式に対処するときの動作タイミングが例示される。前述のターゲットバッファ 1 4 2 は分岐先命令を保存するバッファ I A R T と、分岐先でその次に実行する分岐先次命令アドレスを保存するバッファ I A R I A とを持っている。図 9 のタイミングチャートは、 $n$  サイクル目、 $n+1$  サイクル目、 $n+2$  サイクル目と、3 サイクル分の動作タイミングを示している。早期命令判定回路 1 4 1 が採用されていない場合は、命令キャッシュメモリからのフェッチ動作 (S 1) が  $n$  サイクル目で終わる時、次のサイクルにおいて、命令のデコード処理 (S 2) を行って命令の判別を行う。図のようにデコード処理に 1 サイクルかかる場合、さらに次のサイクル  $n+2$  サイクル目で、バッファ I A R T、I A R I A の読み出し処理 (S 3, S 4) を行うことになる。

## 【 0 0 3 8 】

これに対し、早期命令判定回路 1 4 1 が採用されている場合は、フェッチされた命令が分岐関連の命令である場合、予備フィールド中に分岐命令の情報が保存されているため、フェッチ処理 S 1 の後、次のサイクルの最初ですぐに命令の判別処理 S 5 を行なうことができる。命令デコーダによる命令デコード処理を待つことなく、その判別処理 S 5 の結果にしたがって即座にバッファ I A R T, I A R R I A の読み出し処理 S 3, S 4 に移行することが可能である。

## 【 0 0 3 9 】

## 《第 1 形態に係る機能拡張情報の利用形態》

前記命令デコーダ 1 4 7 は、命令キャッシュメモリからフェッチした命令の実行処理において、 $rsv[0] = 1$  のとき、 $s'[24:10]$  のディスプレイスメント（イミディエイト値）は分岐先アドレスの下位 1 6 ビットについて既に演算されたものとして、分岐先アドレスの演算を行なう。要するに、前記第 1 形態に係る機能拡張に応ずる処理を実現する。例えば、分岐先アドレスを演算するとき、下位アドレスは  $s'[24:10]$  のディスプレイスメントで既に計算されているので、そのまま使用できる。したがって計算が必要なのは、上位の 1 5 ビットのみである。キャリと符号が保存されているので、キャリと符号が共に 0、もしくはキャリが 1、符号が - 1 であれば、 $PC[31:17]$  の値が、そのまま有効アドレスになる。またキャリの値が 0、符号が - 1 であれば、 $PC[31:17]$  の値を 1 だけデクリメント、キャリが 1、符号が 0 の時は、 $PC[31:17]$  の値を 1 だけインクリメントすればよい。このように 3 2 ビット + 3 2 ビットのアドレス計算が必要であったところが、1 ビットのインクリメント、もしくはデクリメントの計算で済むようになり、分岐先アドレス計算を高速化することができる。

## 【 0 0 4 0 】

## 《予備フィールドが無い命令への対応》

図 1 0 には予備フィールドが無い命令への対応を考慮した命令キャッシュメモリが例示される。同図に示される命令キャッシュメモリは、4 ウェイセットアソシアティブ形式とされ 4 個のウェイ 1 6 1 ~ 1 6 4 を有する。各ウェイはアドレ



スアレィ 1 7 0 とデータアレィ 1 7 1 から成り、アドレスアレィ 1 7 0 にはそのキャッシュラインのタグアドレス (T a g) とバリッドビット (V) が格納される。データアレィ 1 7 1 にはインデックスアドレス共通の 8 命令が格納される。更に各命令の記憶領域の後ろには前記プリデコードに基づいて生成された情報の保存領域 1 6 5 が付加されている。保存領域 1 6 5 には、例えば分岐命令のデコードの結果を保存することによって、フェッチ時には命令と共にその保存領域 1 6 5 の情報も読み出されて、命令デコードの完了を待つことなく分岐命令であることを判別することができる。したがって、予備フィールドを使った場合と同じ効果をあげることができる。

#### 【 0 0 4 1 】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

#### 【 0 0 4 2 】

例えば、予備フィールドを有する命令コードの例を図 4、図 5 に示したが、これに限定されず適宜変更可能である。命令長も 3 2 ビットに限定されず、6 4 ビット等であってよい。予備フィールドは、予約フィールド或は空きフィールドと同義と考えて差し支えない。プリデコードは分岐命令の判別に限定されず、例えば、命令群を分類するためだけに使っても良く、さらに、他の命令の判別に利用してもよい。

#### 【 0 0 4 3 】

##### 【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

#### 【 0 0 4 4 】

すなわち、予備フィールド等を用いることによって、そのフィールド中に様々な情報を一時的に保存でき、その情報を基に、任意の特定の命令を高速に解釈・実行させることができる。このため、例えば分岐処理は、早い段階での実行が可能となって性能を向上できる。したがって、ソフトウェアの互換性に関して不都

合を生ずることなく、命令処理時間を短縮して高速動作可能なデータ処理装置を実現することができる。

【図面の簡単な説明】

【図 1】

本発明の一例に係るデータプロセッサを示すブロック図である。

【図 2】

命令のプリデコードによる機能拡張の第 1 形態を原理的に示す説明図である。

【図 3】

命令のプリデコードによる機能拡張の第 2 形態を原理的に示す説明図である。

【図 4】

予備フィールドを持つ命令の一例を示す命令フォーマット図である。

【図 5】

予備フィールドとディスプレースメントフィールドを持つ命令の一例を示す命令フォーマット図である。

【図 6】

プリデコード・演算器の一例を示すブロック図である。

【図 7】

フェッチ・ブランチユニットの詳細を例示するブロック図である。

【図 8】

命令キューの詳細を例示するブロック図である。

【図 9】

早期命令判別回路が分割分岐方式に対処するときの動作タイミングを例示するタイミングチャートである。

【図 1 0】

予備フィールドが無い命令への対応を考慮した命令キャッシュメモリを例示するブロック図である。

【符号の説明】

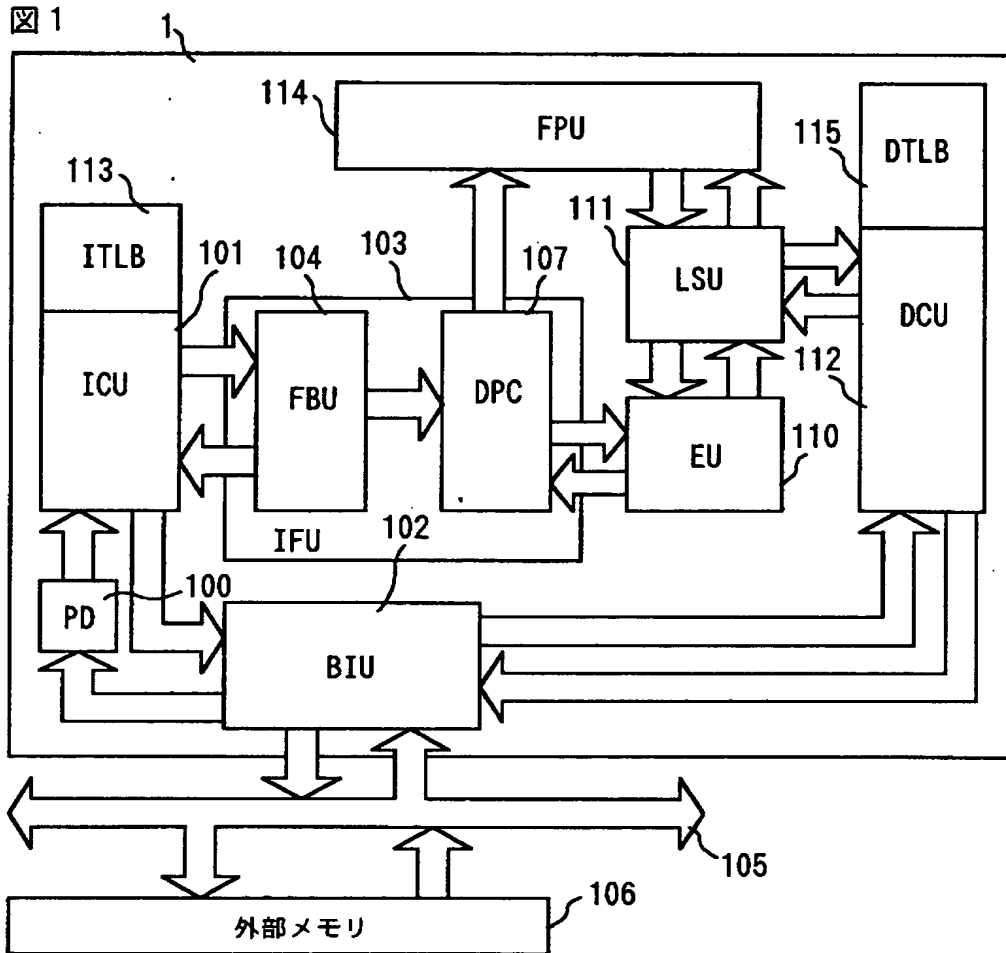
1 0 0 プリデコーダ

1 0 1 命令キャッシュユニット

- 1 0 2 バスインターフェースユニット
- 1 0 3 命令フローユニット
- 1 0 4 フェッチ・ブランチユニット
- 1 0 5 外部バス
- 1 0 6 外部メモリ
- 1 0 7 デコード・パイプラインコントローラ
- 1 1 0 実行ユニット
- 2 0 0 命令キュー
- 2 0 1 早期命令判別回路
- 2 0 2 分岐先命令やアドレスを保存しておくターゲットバッファ
- 1 2 1 オペレーションコード ( o p ) フィールド
- 1 2 7 予備フィールド
- 4 0 2 ディスプレースメントフィールド
- 1 3 0 プリデコーダ
- 1 3 1 A L U
- 1 4 0 命令キュー
- 1 4 1 早期命令判定回路
- 1 4 2 ターゲットバッファ
- 1 4 4 記憶段
- 1 4 5 セレクタ
- 1 5 0 , 1 5 1 記憶段
- 1 5 2 ゲート
- 1 6 5 保存領域

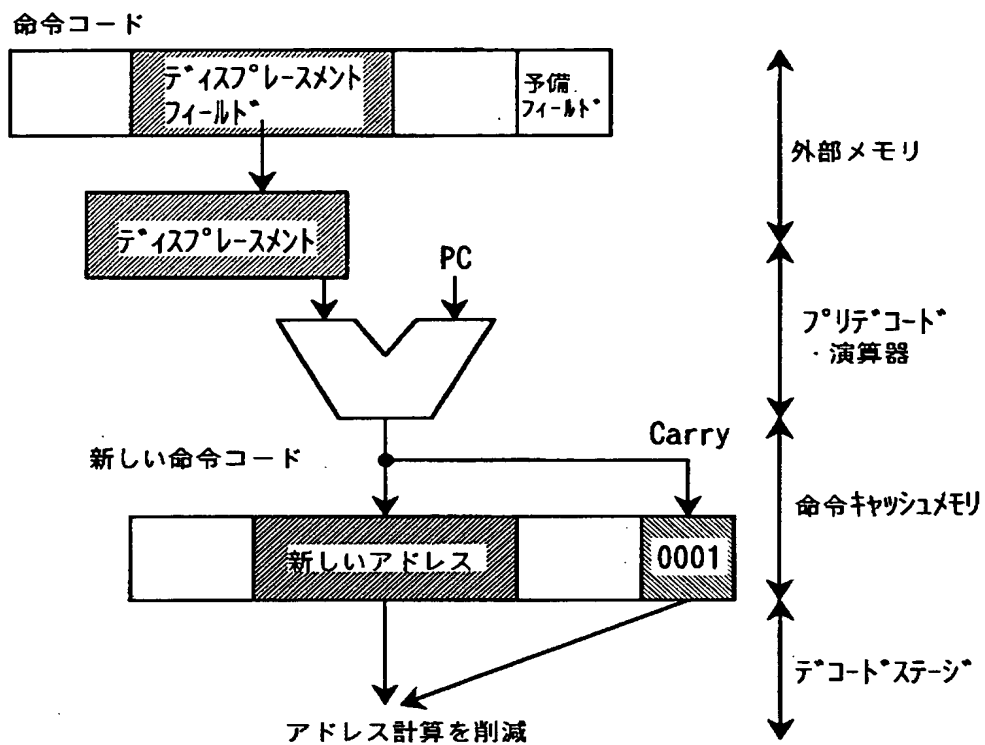
【書類名】 図面

【図 1】

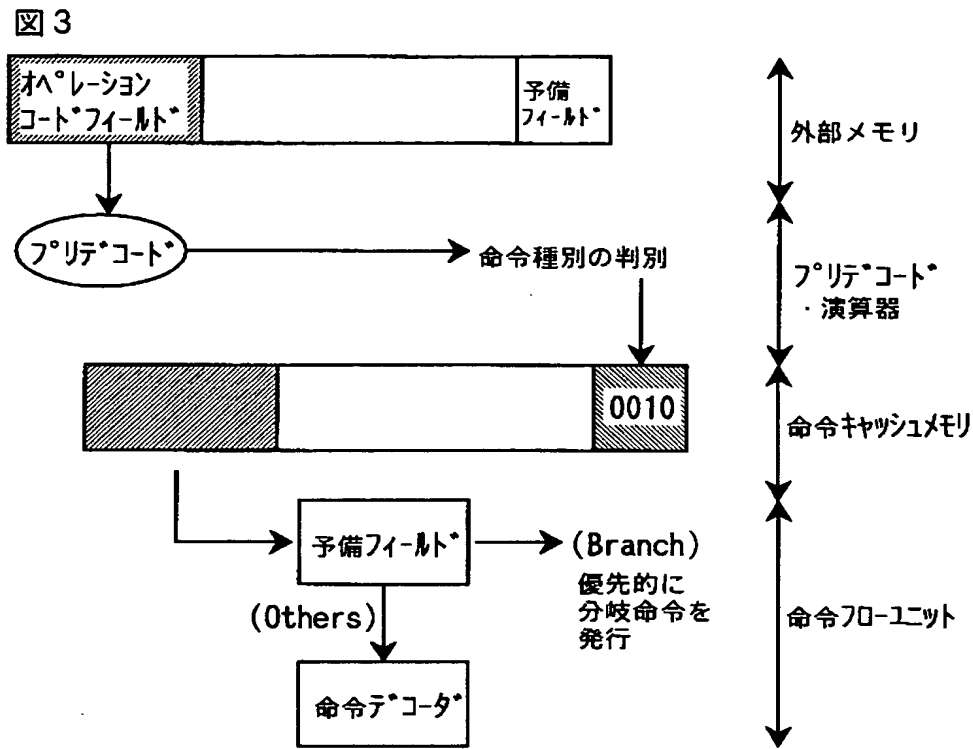


【図 2】

図 2

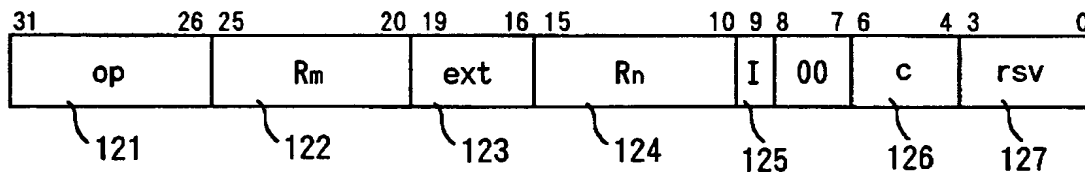


【図 3】



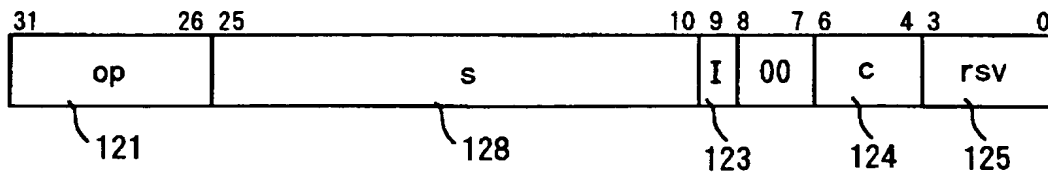
【図 4】

図 4

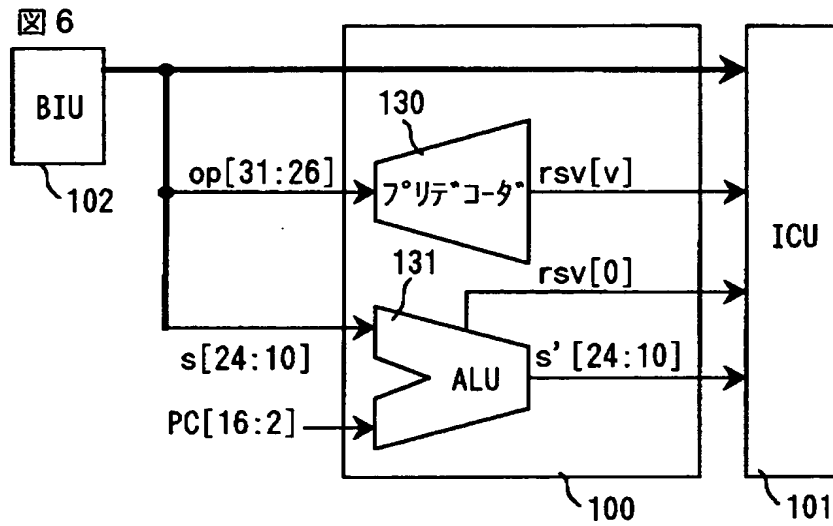


【図 5】

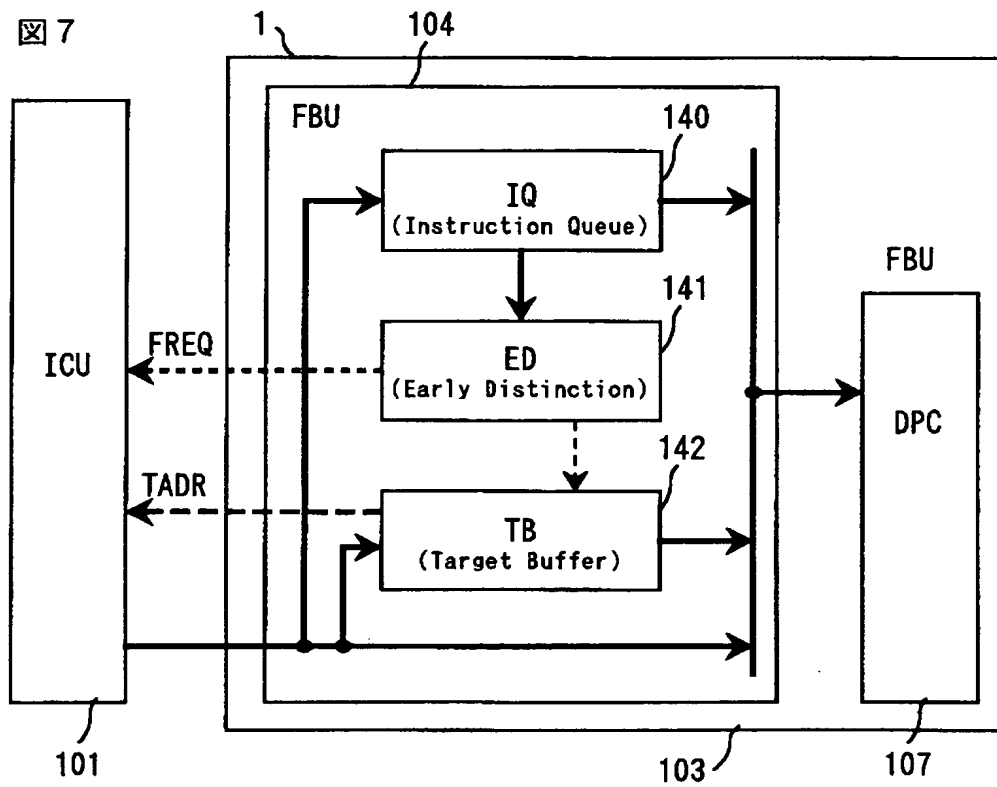
図 5



【図 6】

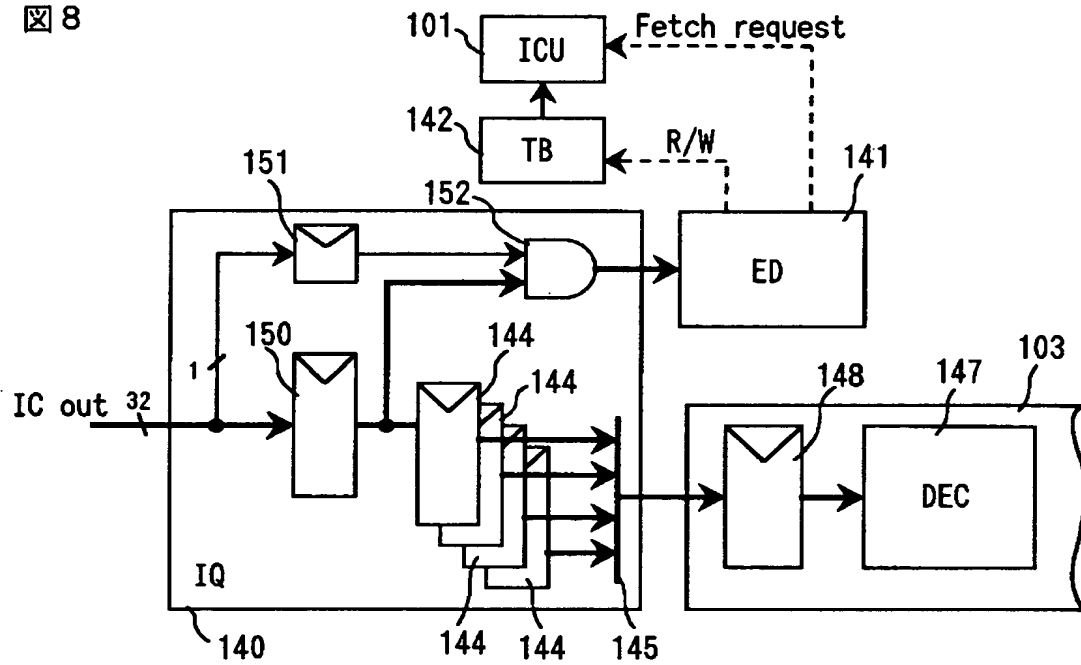


【図 7】



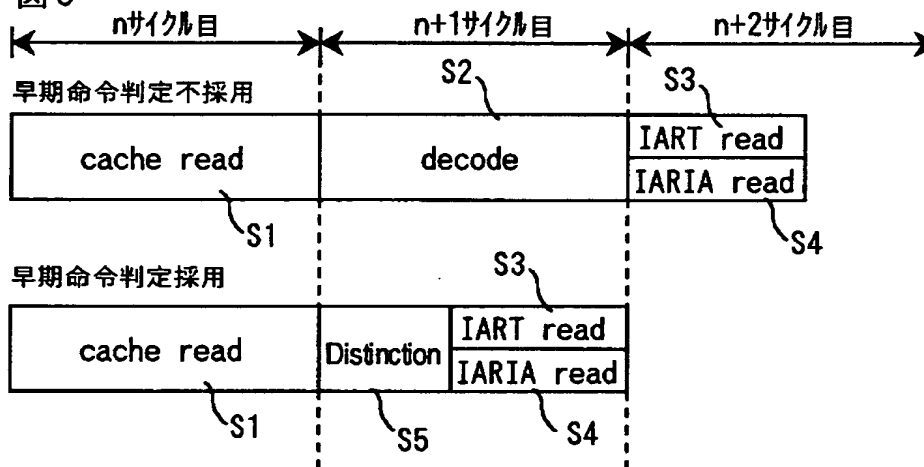
【図 8】

図 8



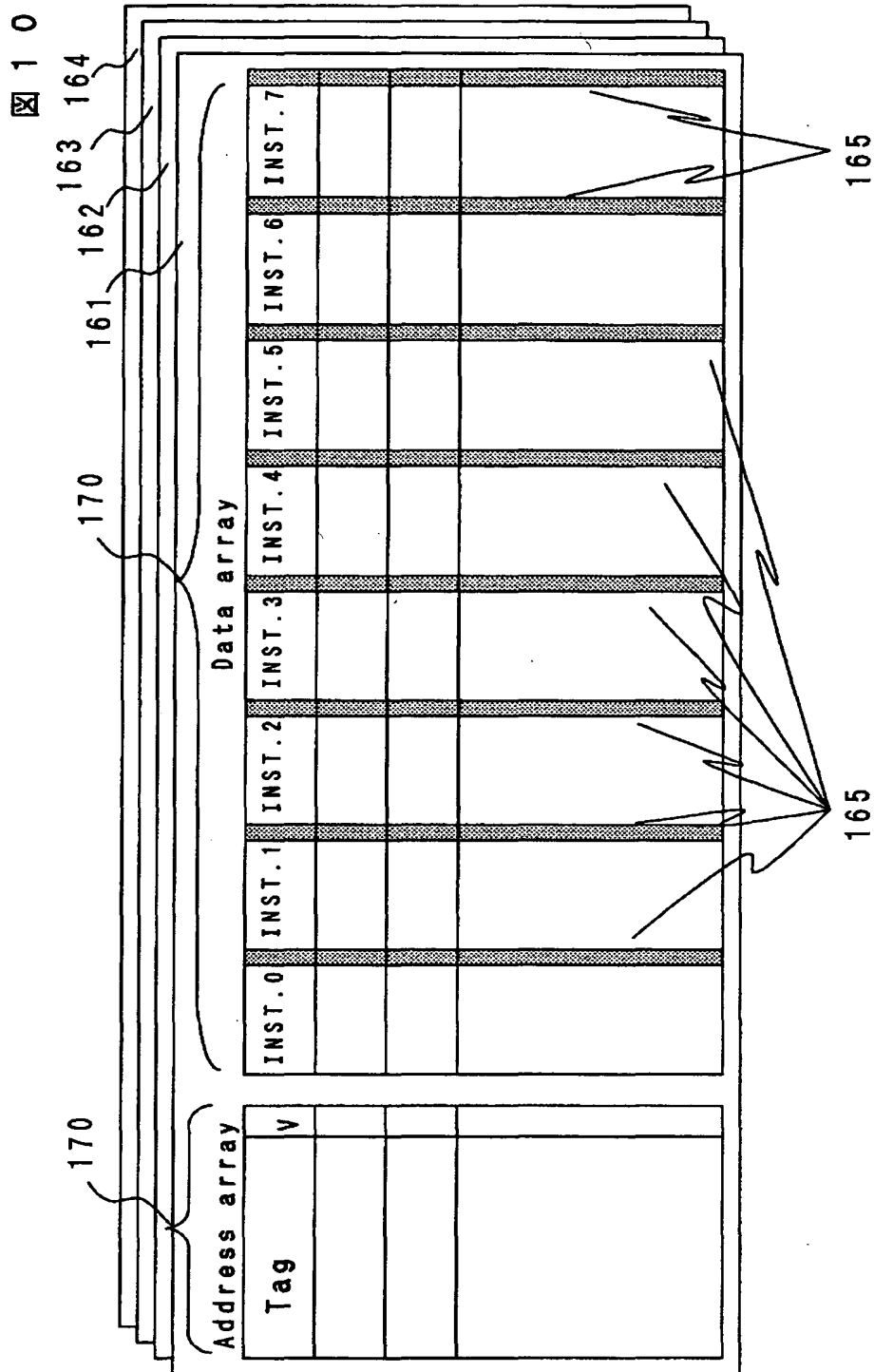
【図 9】

図 9





【図10】



【書類名】            要約書

【要約】

【課題】    ソフトウェアの互換性に関して不都合を生ずることなく、命令処理時間を短縮して高速動作可能なデータ処理装置を提供する

【解決手段】    命令が予備フィールドを持つ場合に、命令をメモリ（１０６）から命令キャッシュメモリ（１０１）にストアする際、その命令の命令コードをプリデコード・演算器（１００）でプリデコードして生成した情報を命令キャッシュメモリの予備フィールド対応領域に格納する。その命令が命令キャッシュメモリからフェッチされるとき、命令キャッシュメモリの予備フィールド対応領域に保存されていた情報を利用する。これにより、命令キャッシュメモリからフェッチした命令のデコード完了を待つことなく、プリデコードされた情報に基づいて処理を進めることが可能になる。

【選択図】            図 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 1 0 8 ]

1. 変更年月日	1 9 9 0 年 8 月 3 1 日
[変更理由]	新規登録
住 所	東京都千代田区神田駿河台 4 丁目 6 番地
氏 名	株式会社日立製作所